

# 前瞻加法器(CLA)設計之數位乘法器

## A CMOS Digital Multiplier Design Using Carry Look-Ahead Adders

李嘉龍(Chia-Lung Lee)、劉偉行\*(Weihsing Liu)

國立虎尾科技大學 電子工程系

---

### 摘要

本論文係利用前瞻式加法器實現 4×4 數位乘法器。相較於傳統加法器實現之 4×4 乘法器，本電路具有減少延遲時間的優點。由於在算術的四則運算中以加減法使用頻率最高，因此加法器的運算速度會影響到整個系統的執行速度。傳統的加法器進位延遲會隨著輸入字組長度成正比增加，所以若以傳統加法器設計乘法器，延遲時間的累積將會非常可觀。本論文以前瞻加法器設計 4×4 乘法器，將每一級之進位以平行的方法處理，有效減少了延遲時間。本電路經由 HSPICE 電路模擬軟體的模擬，在使用 0.35 微米 N-Well 2P4M 的製程參數下，電路操作頻率可達到 100MHz。而在 3.3V 的供應電壓下，瞬間最大功率消耗為 3.37m\_W。關鍵字：前瞻加法器、進位延遲、乘法器。

---

### Abstract

A carry look-ahead adders based 4×4 digital multiplier has been proposed in thispaper. Comparing with the traditional adder based design, the proposed circuit benefits from its shorter propagation time. Since the adding or subtracting is the most frequently used operation of the basic arithmetic operations. Therefore, the operating time of the adder will seriously affect the processing time of the entire system. However, the carry-delay time of the traditional adder is proportional to the length of the input word, which will result in a very serious delay problem. Consequently, the carry look-ahead adder, which uses the parallel processing approach to handle the carry operation, is used in the proposed digital multiplier, and it effectively reduces the operating time. The proposed multiplier has been simulated by the HSPICE emulation program, where an N-Well 2P4M process was used. The simulation results show that the proposed circuit can operate at the signal frequency up to 100MHz.

Also, with the supply voltage of 3.3V, the instantaneous maximum power dissipation is 3.37mW.

Keywords: carry look-ahead adder, propagation delay, multiplier.

## 壹、簡介

數位乘法器是一種廣泛使用於數位系統中的電路[1-5]，例如，cpu 中的算術運算單元；而近年來，隨著電子產品的數位化，數位訊號處理器的應用變得更為普及，其中數位乘法器即為一種常見的訊號處理電路。基本上，乘法的運算可由連續的加法完成，因此乘法器架構可說是建立在加法器之上，所以選擇一個適當的加法器架構，將是有效提升一個乘法器效率的主要關鍵。本論文係以前瞻加法器作為設計乘法器的基礎，由於前瞻加法器將每一級之進位以平行的方式處理，而不像傳統加法器之進位延遲會隨著輸入字組長度成正比增加[7、10]，因而可以有效減少延遲時間。本論文所提出之乘法器電路經由 HSPICE 電路模擬軟體的模擬，在使用 0.35 微米 N-Well 2P4M 的製程參數下，電路操作頻率可達到 100MHz。而在 3.3V 的供應電壓下，瞬間最大功率消耗為 3.37mW。

## 貳、原理架構說明

### 一、 前瞻加法器原理說明

傳統加法器(full adder)在執行加法運算時必須等上一級的進位輸出(carry out)產生後才能繼續運算下去，這種方式會產生嚴重的延遲時間。而前瞻加法器(CLA)就是針對減少延遲所設計出來的架構。

首先，將第 i 級之進位  $C_i$  表示為

$$C_i = G_i + P_i \times C_{i-1} \text{， 其中的 } G_i = A_i \times B_i$$

$$P_i = A_i \oplus B_i \text{， 將其展開則為}$$

$$C_i = G_i + P_i G_{i-1} + P_i P_{i-1} G_{i-2} \\ + \dots + P_i \dots P_1 C_0$$

總和  $S_i$  是由下式產生

$$S_i = C_{i-1} \oplus A_i \oplus B_i$$

由以上式子可觀察出，只需一個邏輯閘的延遲時間就可得到所有的  $G_i$  和  $P_i$ ，而經兩個邏輯閘延遲即可得到所有的  $C_i$ ，再經三個邏輯閘延遲可得到  $S_i$  進而得到運算結果。

由此我們可以很清楚的得知，實現此前瞻加法器的延遲時間以及所需邏輯閘的數目。

## 二、乘法器原理說明

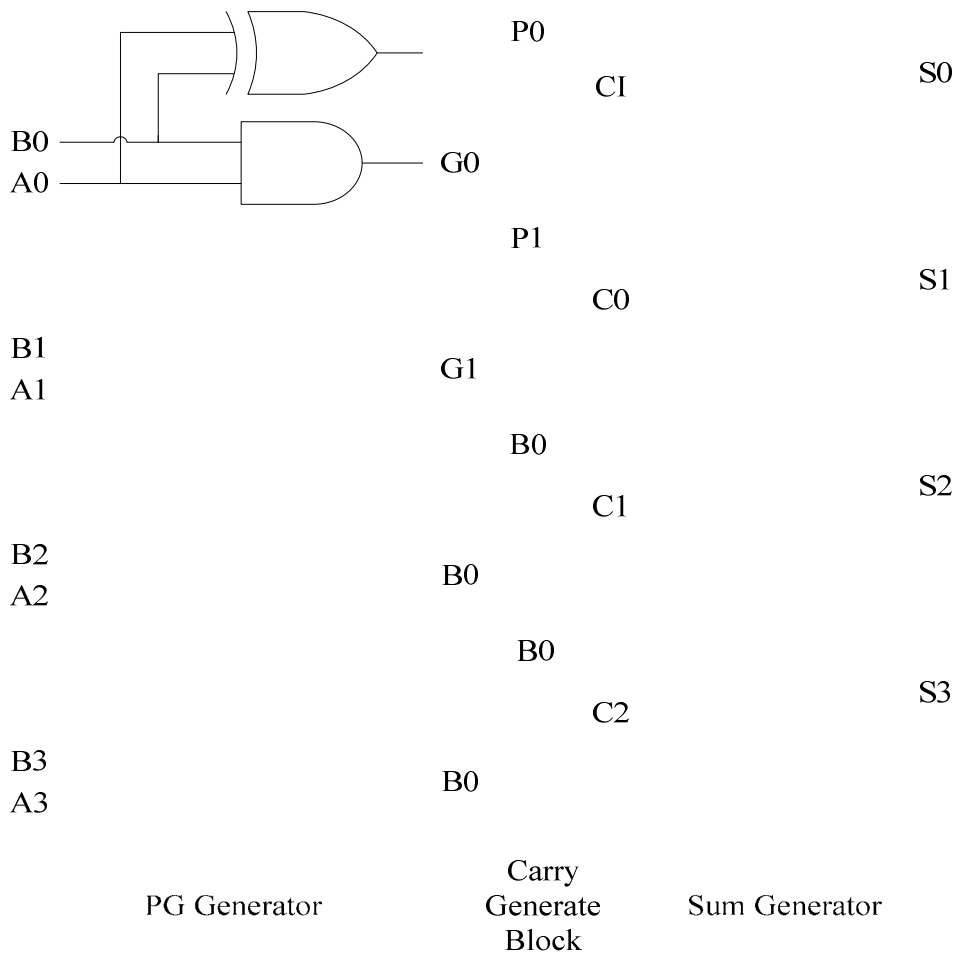
一般乘法運算可用兩種方法來完成，一種是連續加法器，另外一種是位移加法器[8]。由於連續加法器速度太慢，不適用於太大數值的運算，所以選擇位移加法器架構作為設計乘法器之基礎。以被乘數  $a = a_4a_3a_2a_1$  與乘數  $b = b_4b_3b_2b_1$  為例，說明乘法器電路之設計方法。依四位元乘法之運算規則，可得圖一之計算式：

$$\begin{array}{r}
 \begin{array}{cccc}
 a_4 & a_3 & a_2 & a_1 & \leftarrow \text{被乘數} \\
 \times & b_4 & b_3 & b_2 & b_1 & \leftarrow \text{乘數} \\
 \hline
 a_4 \cdot b_1 & a_3 \cdot b_1 & a_2 \cdot b_1 & a_1 \cdot b_1 & \\
 a_4 \cdot b_2 & a_3 \cdot b_2 & a_2 \cdot b_2 & a_1 \cdot b_2 & \\
 a_4 \cdot b_3 & a_3 \cdot b_3 & a_2 \cdot b_3 & a_1 \cdot b_3 & \\
 + & c_4 & a_4 \cdot b_4 & a_3 \cdot b_4 & a_2 \cdot b_4 & a_1 \cdot b_4 & \\
 \hline
 M_8 & M_7 & M_6 & M_5 & M_4 & M_3 & M_2 & M_1 & \leftarrow \text{乘積}
 \end{array}
 \end{array}$$

圖一 四進位乘法之運算規則

其中第一個運算元稱為被乘數 ( multiplicand )，第二個運算元稱為乘數 ( multiplier )，最後結果稱為乘積 ( product )。而我們所觀察的結果是，乘積的位數數目比被乘數或乘數的位數數目大很多。如果忽略正負位元，長度是  $n$  位元的被乘數與  $m$  位元的乘數，其乘積是  $n+m$  位元長度。

### 三、前瞻加法器架構說明

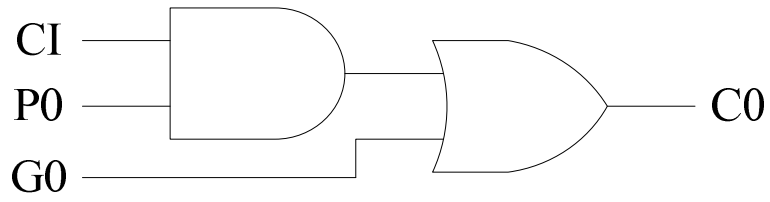


圖二 前瞻加法器架構

圖二所示為前瞻加法器的架構[10]，此架構可分為三個部分來說明，分別是為 PG 產生器(PG Generator)、進位產生方塊(Carry Generate Block)、總和產生器(Sum Generator)。

其中 PG Generator 經過一個邏輯閘的延遲產生 4 個  $P_i$  和  $G_i$ 。

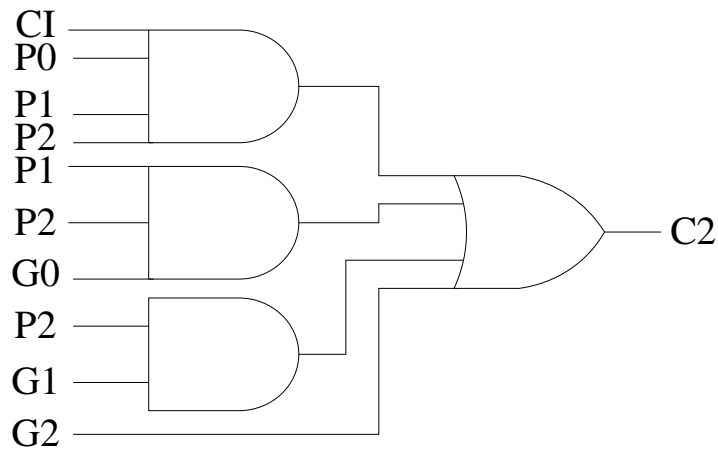
Carry Generate Block 的功用在於產生  $C_1 \sim C_3$  以供 Sum Generator 運算，如圖三~圖六所示。



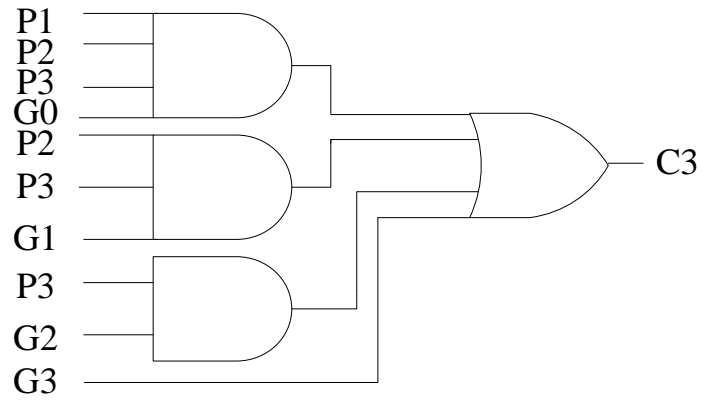
圖三 方程式(1)表示圖  
 $C_0 = G_0 + P_0CI \dots (1)$



圖四 方程式(2)表示圖  
 $C_1 = G_1 + P_1G_0 + P_1P_0CI \dots (2)$



圖五 方程式(3)表示圖  
 $C_2 = G_2 + P_2G_1 + P_2P_1G_0 + P_2P_1P_0CI \dots (3)$

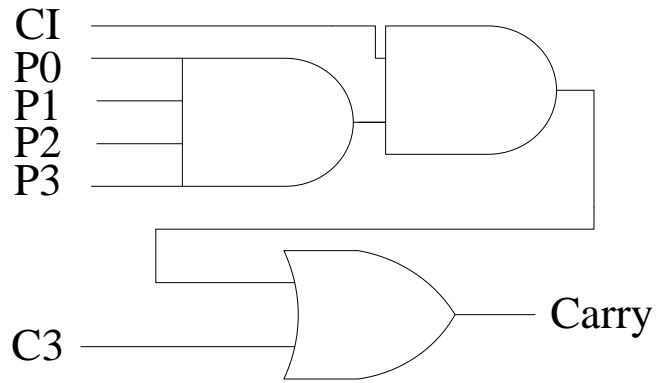


圖六 方程式(4)表示圖

$$C_3 = G_3 + P_3G_2 + P_3P_2G_1 + P_3P_2P_1G_0 \cdot \cdot \cdot \quad (4)$$

而 Sum Generator 可產生四個 Sum  $S_i = C_{i-1} \oplus A_i \oplus B_i = C_i \oplus P_i$

Carry 為下一級進位之輸出



圖七 方程式(5)表示圖

$$Carry = C_3 + P_0P_1P_2P_3CI \cdot \cdot \cdot \quad (5)$$

#### 四、乘法器架構說明

由圖一中可知：

$$M_1 = a_1 \cdot b_1$$

$$M_2 = a_2 \cdot b_1 + a_1 \cdot b_2$$

$$M_3 = a_3 \cdot b_1 + a_2 \cdot b_2 + a_1 \cdot b_3$$

$$M_4 = a_4 \cdot b_1 + a_3 \cdot b_2 + a_2 \cdot b_3 + a_1 \cdot b_4$$

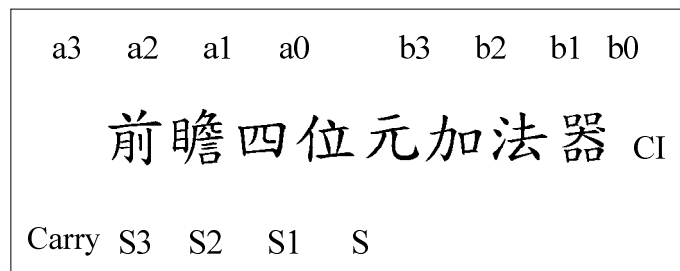
$$M_5 = a_4 \cdot b_2 + a_3 \cdot b_3 + a_2 \cdot b_4$$

$$M_6 = a_4 \cdot b_3 + a_3 \cdot b_4$$

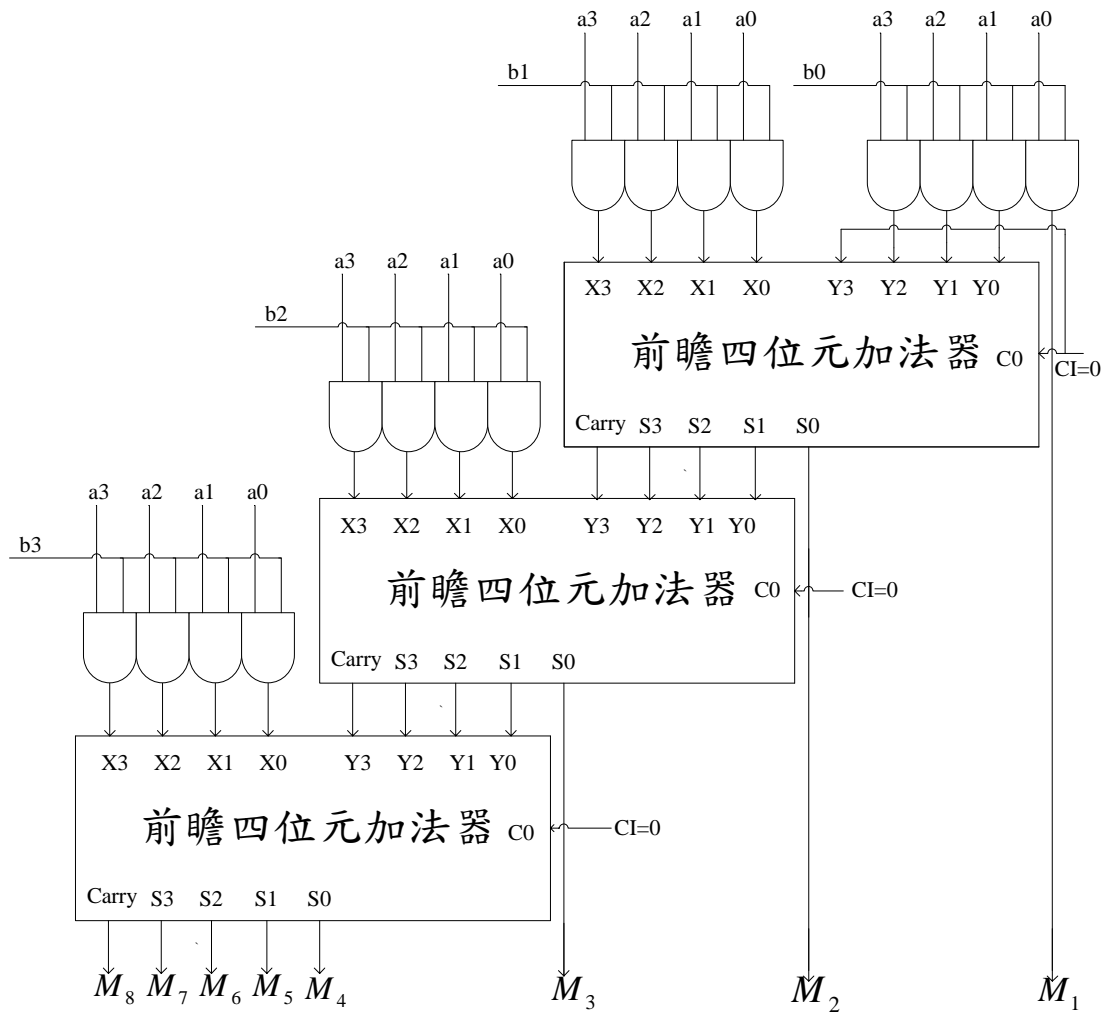
$$M_7 = a_4 \cdot b_4$$

$$M_8 = c_4$$

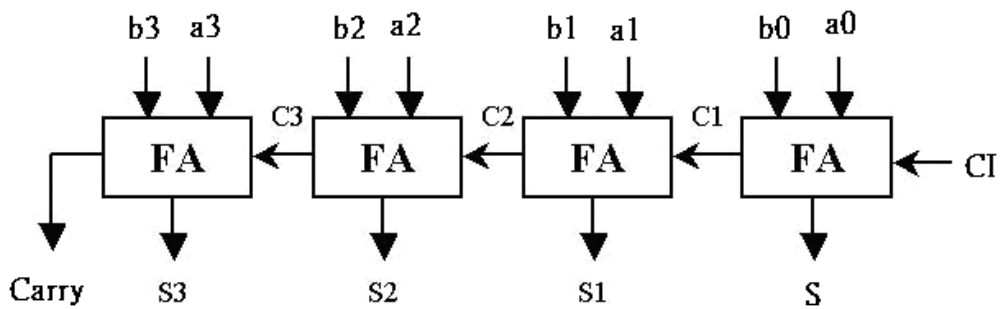
觀察  $M_1 \sim M_8$  可知，欲執行  $4 \times 4$  乘法器之邏輯電路，至少需 16 個 AND 閘與 9 個全加器，爲了避免進位傳輸之困擾，故可用 3 個 4 位元前瞻加法器來實現。如圖九所示：



圖八 單一前瞻四位元加法器



圖九 可執行 4bit×4bit 乘法器之邏輯電路

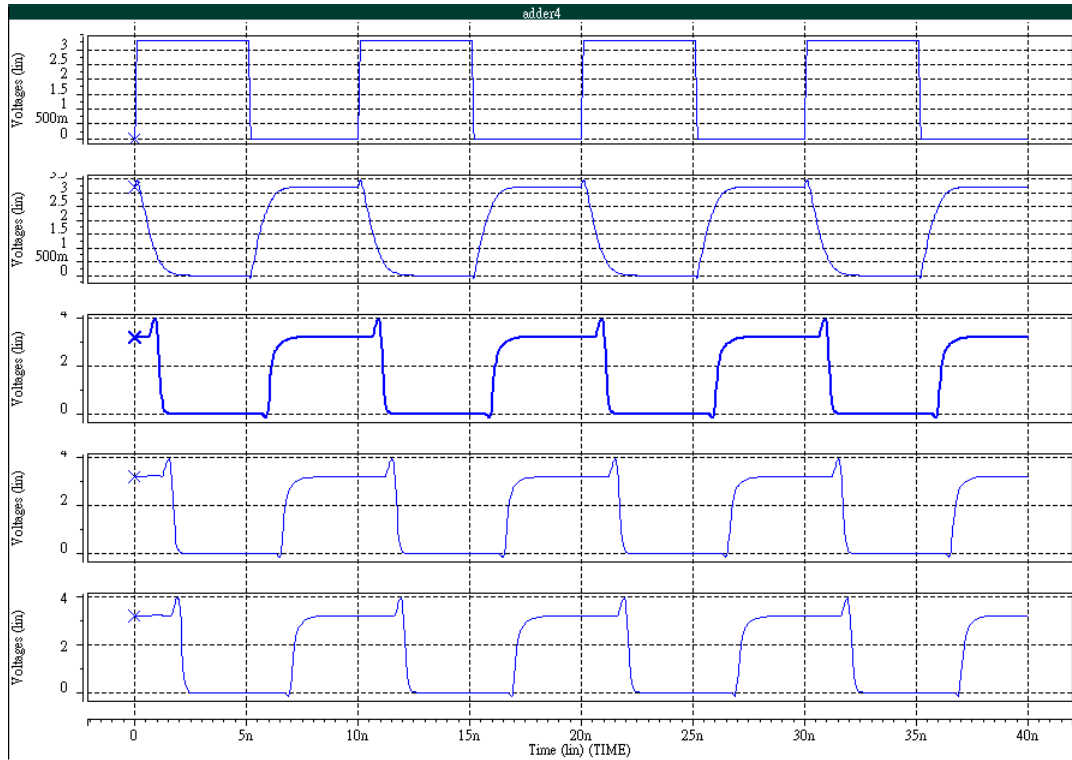


圖十 傳統 4-bit 加法器



## 參、電路模擬結果

經由 Hspice 電路模擬軟體，對傳統式四位元數位加法器和四位元前瞻數位加法器進行模擬比較，並對利用前瞻加法器所設計之 4×4 乘法器進行模擬，模擬結果如下，其中所使用的供應電壓為 3.3 伏特。



圖十一 4bit 前瞻加法器模擬結果

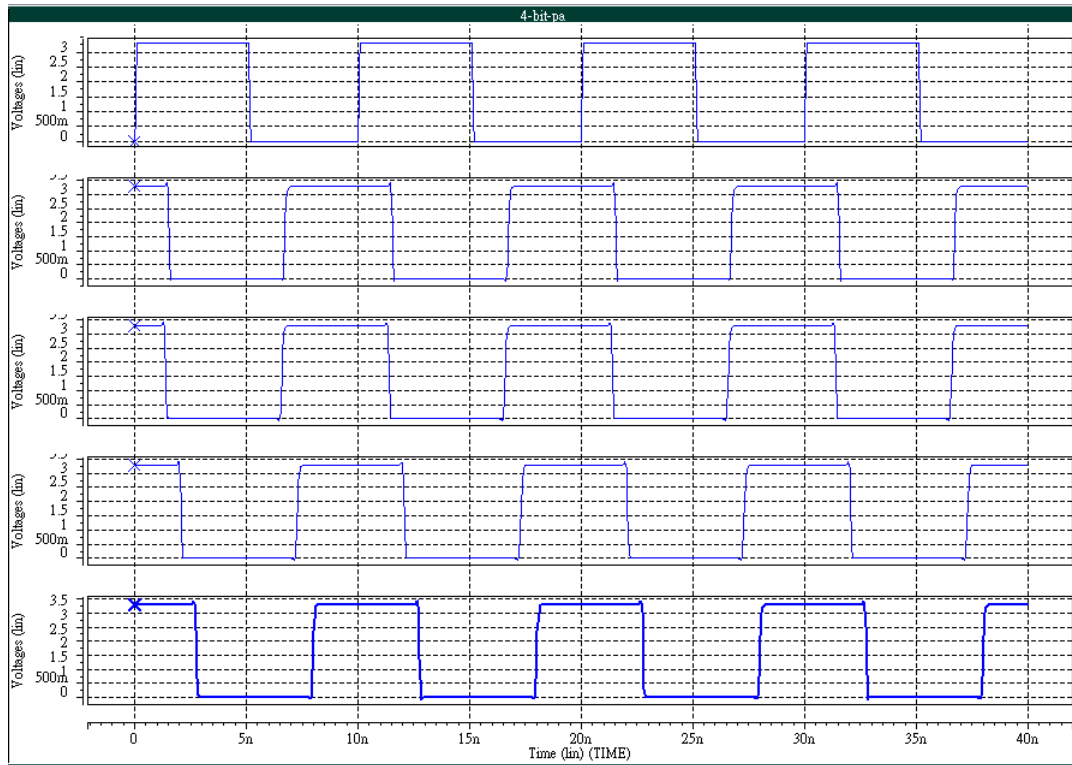
圖十一 為 4bit 前瞻加法器模擬結果，波形由上而下分別是圖八中之 b0 s s1 s2 s3 其中輸入訊號頻率為 100MHz。模擬數據如下：

輸入(1) : a0=1 b0=1 a1=1 b1=0 a2=1 b2=0 a3=1 b3=0

輸出(1) : s=0 s1=0 s2=0 s3=0 carry=1

輸入(2) : a0=1 b0=0 a1=1 b1=0 a2=1 b2=0 a3=1 b3=0

輸出(2) : s=1 s1=1 s2=1 s3=1 carry=0



圖十二 4bit 傳統加法器模擬結果

圖十二 為 4bit 傳統加法器模擬結果波形，由上而下分別是圖十中之  $b_0$   $s_1$   $s_2$   $s_3$ ；其中輸入訊號頻率為 100MHz。模擬數據如下：

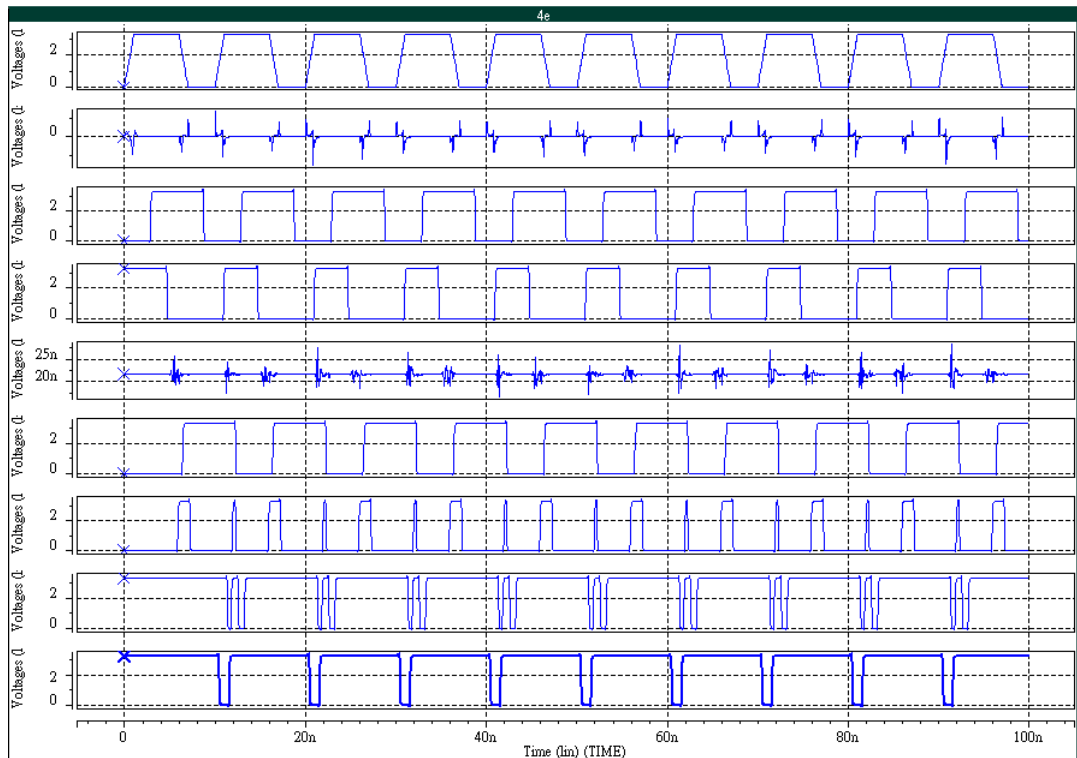
輸入(1) :  $a_0=1$   $b_0=1$   $a_1=1$   $b_1=0$   $a_2=1$   $b_2=0$   $a_3=1$   $b_3=0$

輸出(1) :  $s_0=0$   $s_1=0$   $s_2=0$   $s_3=0$   $carry=1$

輸入(2) :  $a_0=1$   $b_0=0$   $a_1=1$   $b_1=0$   $a_2=1$   $b_2=0$   $a_3=1$   $b_3=0$

輸出(2) :  $s_0=1$   $s_1=1$   $s_2=1$   $s_3=1$   $carry=0$

由圖十和圖十一中之模擬結果，可以清楚地觀察出延遲時間縮短，其中前瞻加法器  $s_1$ 、 $s_2$ 、 $s_3$ 、 $s_4$  延遲時間分別為 0.128ns、0.95ns、1.53ns、1.96ns，而傳統加法器  $s_1$ 、 $s_2$ 、 $s_3$ 、 $s_4$  延遲時間分別為 1.47 ns、1.57ns、2.14ns、2.86ns，證實前瞻加法器運算速度確實比傳統加法器來得快。



圖十三 執行 4bit×4bit 乘法運算之模擬結果

依據前面模擬結果推論，以前瞻加法器設計之乘法器，其運算速度應該會比傳統乘法器來得快。圖十三所示為利用前瞻加法器設計之乘法器執行 4bit×4bit 乘法運算的模擬結果。其中波形由上而下分別是圖九中之 b1 m1 m2 m3 m4 m5 m6 m7 m8

其中輸入訊號頻率為 100MHz。模擬數據如下：

輸入(1)：a0=0 b0=1 a1=1 b1=1 a2=1 b2=1 a3=1 b3=1

輸出(1)：M<sub>1</sub> = 0 M<sub>2</sub> = 1 M<sub>3</sub> = 0 M<sub>4</sub> = 0 M<sub>5</sub> = 1 M<sub>6</sub> = 0 M<sub>7</sub> = 1 M<sub>8</sub> = 1

輸入(2)：a0=0 b0=0 a1=1 b1=1 a2=1 b2=1 a3=1 b3=1

輸出(2)：M<sub>1</sub> = 0 M<sub>2</sub> = 0 M<sub>3</sub> = 1 M<sub>4</sub> = 0 M<sub>5</sub> = 0 M<sub>6</sub> = 0 M<sub>7</sub> = 1 M<sub>8</sub> = 1

觀察圖十二之波形可知，本論文所提出之利用前瞻加法器設計之乘法器執行 4bit×4bit 乘法運算時，其運算時間約為 16.94 ns。

## 肆.結論

本論文以前瞻加法器架構設計 4bit×4bit 平行乘法器，相較於傳統乘法器，確實可減少運算時間。本電路預期可應用於 DSP、cpu、以及其他數位系統設計。依據本論文之模擬結果，本電路在未來可使用 0.35 微米 N-Well 2P4M 製程實現。

## 伍、參考文獻

- [1] Mirhassani, M.; Ahmadi, M. and Jullien, G.A.; “Digital Multiplication using Continuous Valued Digits,” 2007 IEEE International Symposium on Circuits and Systems, May 2007, pp. 3263 – 3266.
- [2] Khatibzadeh, A.A.; Raahemifar, K. and Ahmadi, M.; “A 1.8 V 1.1 GHz novel digital multiplier,” 2005. Canadian Conference on Electrical and Computer Engineering , May 2005, pp.686 – 689.
- [3] Yamanaka, T. and Moshnyaga, V.G.; “Reducing multiplier energy by data-driven voltage variation,” Proceedings of the 2004 International Symposium on Circuits and Systems, Vol.2, May 2004, pp. II - 285-8.
- [4] Pan, H.; Manic, M.; Xiangli Li and Wilamowski, B.; “Multilevel logic multiplier using VLSI neural network,” 2003 IEEE International Conference on Industrial Technology, Vol.1, Dec. 2003, pp. 327 – 332.
- [5] Mokrian, P.; Ahmadi, M.; Jullien, G. and Miller, W.C.; “A reconfigurable digital multiplier architecture,” 2003. Canadian Conference on Electrical and Computer Engineering, Vol.1 , May 2003 ,pp. 125 – 128.
- [6]蕭培墉、吳孟賢，HSpice 積體電路設計分析與模擬導論，2005 年 7 月，初版，台灣，台灣東華書局股份有限公司。
- [7]王家騏，數位積體電子學，1982 年，初版，台灣，旗文書局，pp450-453。
- [8]賴茂富，實用數位系統設計，1996 年，初版，台灣，台灣東華書局股份有限公司，pp560。
- [9]吳傳家，數位電路與微處理機，1983 年 12 月，再版，台灣，全華科技圖書公司，158-167。
- [10] WESTE、黃淑絹，CMOS VLSI 設計原理，1998 年，再版，台灣，培生教育出版股份有限公司，pp530-550。

