

利用 MOS 電晶體於弱反轉區實現 低電壓與低功率電壓模式乘法器

REALIZATION OF LOW-VOLTAGE AND LOW-POWER VOLTAGE-MODE MULTIPLIER USING MOSFETS IN WEAK INVERSION

劉偉行¹ (Weihsing Liu)、魏水根² (Shui-Ken Wei)

國立虎尾科技大學 電子工程系¹

東南技術學院 電子工程系²

摘要

本論文提出一種將 MOS 電晶體偏壓於弱反轉區以實現低電壓與低功率電壓模式乘法器的方法。由於本電路中 MOS 電晶體工作於弱反轉區，因此其功率消耗非常低，經由 HSPICE 以 N-well 0.35 μ m 2p4m 製程模擬顯示，當供應電壓為 1.5 伏特的情況下，功率消耗僅僅為 13 μ W，而輸出訊號之線性誤差大約為 3%。本電路預計可使用於類比訊號處理以及其他相關電路之中。

關鍵字：低功率、電壓模式、乘法器、弱反轉區。

ABSTRACT

A low-voltage and low-power voltage-mode multiplier using MOSFETs in weak inversion is presented in this paper. Since the MOSFETs in the proposed circuit are biased in weak inversion, consequently its power consumption is very low. The proposed multiplier has been simulated with the HSPICE using a N-well 0.35 μ m 2p4m process and the results show that, under the supply voltage of 1.5V, the power consumption is only 13 μ W and the linearity error is about 3%. The proposed circuit is expected to be useful in analog signal-processing and other related applications.

Key words : low-power、voltage-mode、multiplier、weak inversion.

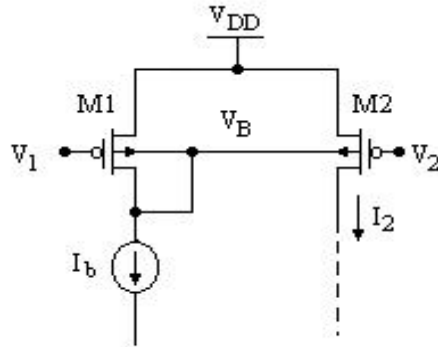
壹、簡介

類比訊號乘法器是一種廣泛使用於各種類比訊號處理電路中的基本電路，例如，調變器、等化器以及倍頻器等[1-7]。在過去十餘年之間，由於可攜式電子裝置的盛行，使得電子電路的設計趨勢傾向於 — 必須具有低功率消耗，以及適用於低供應電壓的特性。因此，許多低功率消耗及/或適用於低供應電壓的類比訊號乘法器也於近年來陸續被提出[8-16]。在這些已知的低功率消耗乘法器之中，一種常見的方式是將 MOS 電晶體偏壓於弱反轉區，然後再利用 MOS 電晶體電壓與電流之間的指數特性來實現所需要的乘法功能，以達到低功率消耗的要求[13-16]。

本論文將提出一種利用 MOS 電晶體偏壓於弱反轉區以實現低功率消耗電壓模式乘法器的新方法，本電路除了具有低功率消耗的優點之外，亦可操作於低供應電壓。電路設計的正确性將利用 HSPICE 進行模擬，其中模擬過程所使用的製程為 N-well 0.35 微米 2P4M 的製程。而模擬結果將可證明本電路之可行性。

貳、設計原理

圖一所示為一基本的指數函數產生電路[17, 18]，其中 I_b 是一偏壓電流。假設電晶體 M1 與 M2 完全匹配而且同時操作於弱反轉區。根據 MOS 電晶體偏壓於弱反轉區時電壓－電流的特性關係式，M1 與 M2 的汲極電流可以表示為



圖一 基本的指數函數產生電路

$$I_b = I_{D0} \cdot \exp\left(\frac{(V_{DD} - V_1) + (n-1)(V_{DD} - V_B)}{nU_T}\right) \quad (1)$$

以及

$$I_2 = I_{D0} \cdot \exp\left(\frac{(V_{DD} - V_2) + (n-1)(V_{DD} - V_B)}{nU_T}\right) \quad (2)$$

其中 n 是斜率因數(slope factor)， $U_T = kT/q$ 是熱動態電壓 (thermo-dynamic voltage)， I_{D0} 是漏電流 (leakage current)，而 V_B 則是 M1 與 M2 的基底電壓。由式(1)與式(2)可得

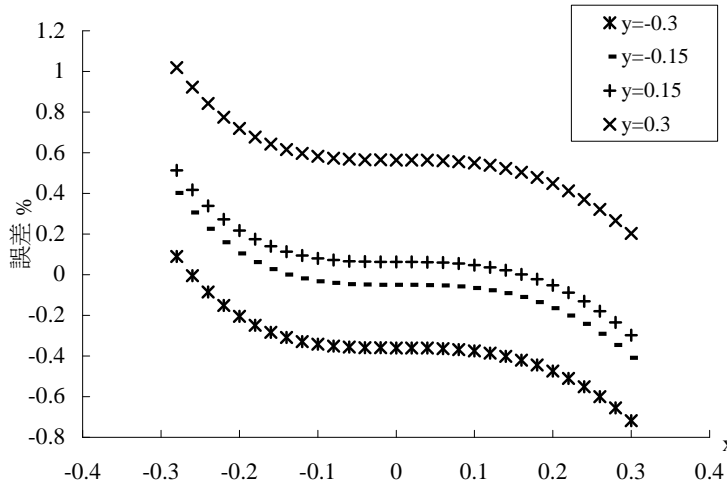
$$I_2 = I_b \cdot \exp\left(\frac{(V_1 - V_2)}{nU_T}\right) \quad (3)$$

欲使 MOS 電晶體工作於弱反轉區，其汲極電流必須滿足式(4)的限制[18]

$$I_D < 2n \frac{K_p W}{L} U_T^2 \quad (4)$$

假設 $x, y \ll 1$ ，一個指數函數可用泰勒級數展開式(Taylor's series expansion)表示如下：

$$\exp(x - y) = \exp(x) \cdot \exp(-y) \approx \left(\frac{x^2}{2} + x + 1\right) \cdot \left(\frac{y^2}{2} - y + 1\right) \quad (5)$$



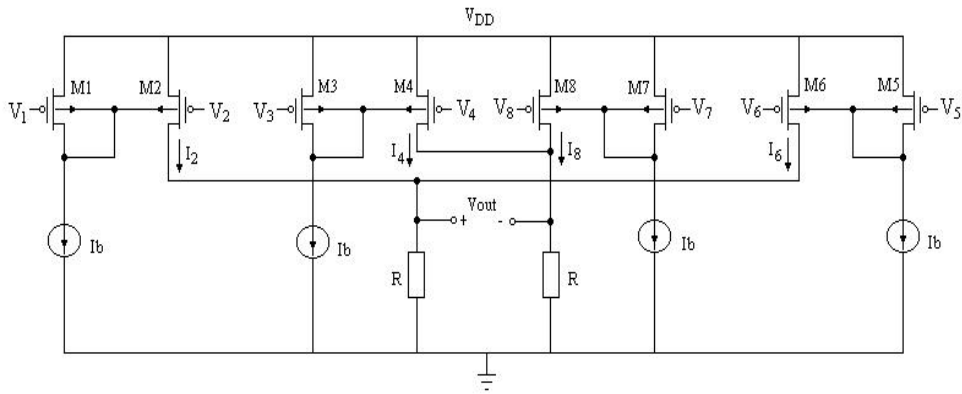
圖二 函數“(x²/2+x+1)·(y²/2-y+1)”與指數函數 exp(x-y)之誤差

定義

$$\text{誤差}\% = \frac{\left(\frac{x^2}{2} + x + 1\right)\left(\frac{y^2}{2} - y + 1\right) - \exp(x - y)}{\exp(x - y)} \times 100\% \quad (6)$$

則函數(x²/2+x+1)(y²/2-y+1)與指數函數 exp(x-y)之間的誤差如圖二所示。由圖二可知，當|x|和|y|<0.3時，其相對之誤差可小於|1.1|%。

圖三所示為本論文所提出之低電壓與低功率之電壓乘法器，



圖三 本論文所提出之低電壓與低功率電壓乘法器

假設電晶體 M1-M8 的臨界電壓與轉導參數(transconductance parameter)均相同，而且都偏壓於弱反轉區。根據式(1)-(3)，若 $\frac{V_1}{nU_T}, \frac{V_2}{nU_T} \ll 1$ ，圖三中之電流 I₂ 可表示為

$$\begin{aligned} I_2 &= I_b \cdot \exp\left(\frac{V_1 - V_2}{nU_T}\right) = I_b \cdot \exp\left(\frac{V_1}{nU_T}\right) \cdot \exp\left(\frac{-V_2}{nU_T}\right) \\ &\approx I_b \cdot \left(\frac{1}{2} \cdot \left(\frac{V_1}{nU_T}\right)^2 + \frac{V_1}{nU_T} + 1\right) \cdot \left(\frac{1}{2} \cdot \left(\frac{V_2}{nU_T}\right)^2 - \frac{V_2}{nU_T} + 1\right) \end{aligned} \quad (7)$$

同理，若 $\frac{V_3}{nU_T}, \frac{V_4}{nU_T} \ll 1, \frac{V_5}{nU_T}, \frac{V_6}{nU_T} \ll 1$ 以及 $\frac{V_7}{nU_T}, \frac{V_8}{nU_T} \ll 1$ ，圖三中之電流 I_4 、 I_6 和 I_8 可表示為

$$I_4 \approx I_b \cdot \left(\frac{1}{2} \cdot \left(\frac{V_3}{nU_T} \right)^2 + \frac{V_3}{nU_T} + 1 \right) \cdot \left(\frac{1}{2} \cdot \left(\frac{V_4}{nU_T} \right)^2 - \frac{V_4}{nU_T} + 1 \right) \quad (8)$$

$$I_6 \approx I_b \cdot \left(\frac{1}{2} \cdot \left(\frac{V_5}{nU_T} \right)^2 + \frac{V_5}{nU_T} + 1 \right) \cdot \left(\frac{1}{2} \cdot \left(\frac{V_6}{nU_T} \right)^2 - \frac{V_6}{nU_T} + 1 \right) \quad (9)$$

以及

$$I_8 \approx I_b \cdot \left(\frac{1}{2} \cdot \left(\frac{V_7}{nU_T} \right)^2 + \frac{V_7}{nU_T} + 1 \right) \cdot \left(\frac{1}{2} \cdot \left(\frac{V_8}{nU_T} \right)^2 - \frac{V_8}{nU_T} + 1 \right) \quad (10)$$

若 V_b 是偏壓電壓，假設 $V_1 = V_7 = V_b + V_{in1}$ ， $V_2 = V_4 = V_b - V_{in2}$ ， $V_3 = V_5 = V_b - V_{in1}$ 以及 $V_6 = V_8 = V_b + V_{in2}$ ，則圖三中電路之輸出電壓 V_{out} 可表示為

$$V_{out} = [(I_2 + I_6) - (I_4 + I_8)] \cdot R$$

(11)

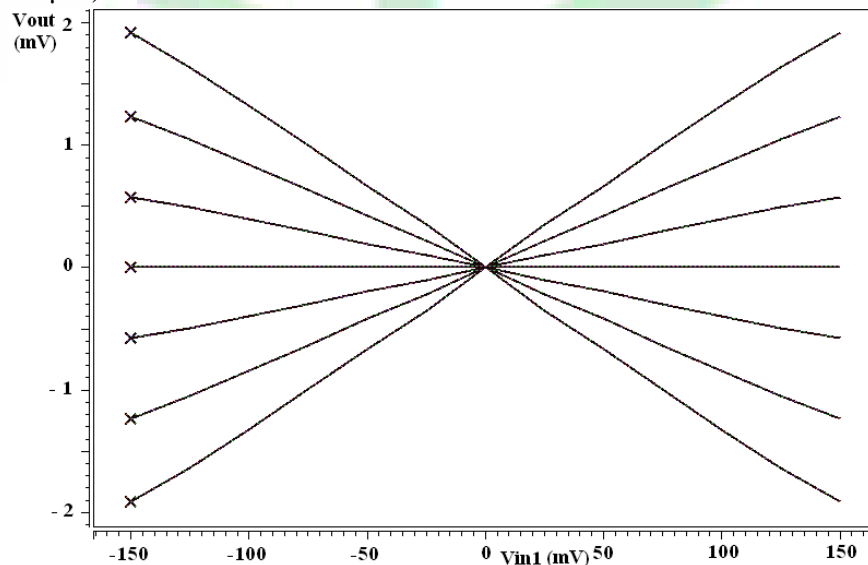
將式(7)–(10)代入式(11)可得

$$V_{out} \approx I_b \cdot \left(\frac{4V_{in1} \cdot V_{in2}}{(nU_T)^2} \right) \cdot R \quad (12)$$

根據式(12)，一個電壓模式乘法器可被實現。由於此電路中電晶體 M1-M8 係偏壓於弱反轉區，所以其功率消耗極低；此外，圖三電路由供應電源至接地端的電氣路徑(electric path)中，最多只有兩個電晶體，故本電路可適用於低供應電壓。

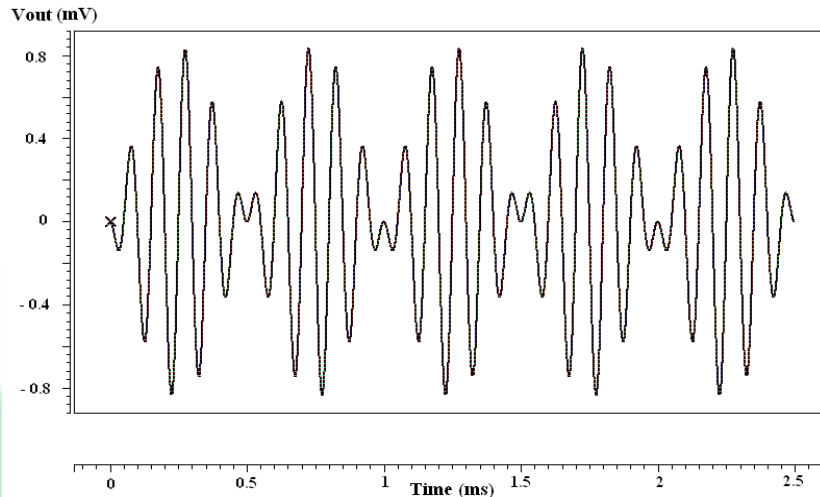
參、模擬結果

圖三中低電壓與低功率電壓乘法器經 HSPICE 模擬軟體模擬，其 dc 轉移曲線如圖四所示；其中 HSPICE 使用的元件模型屬於 N-well, 0.35 微米 2P4M 製程；pMOS 電晶體的臨界電壓是 $-0.73V$ ，而電晶體 M1-M8 的通道尺寸比為： $(W/L)=(1\mu m/1\mu m)$ 。

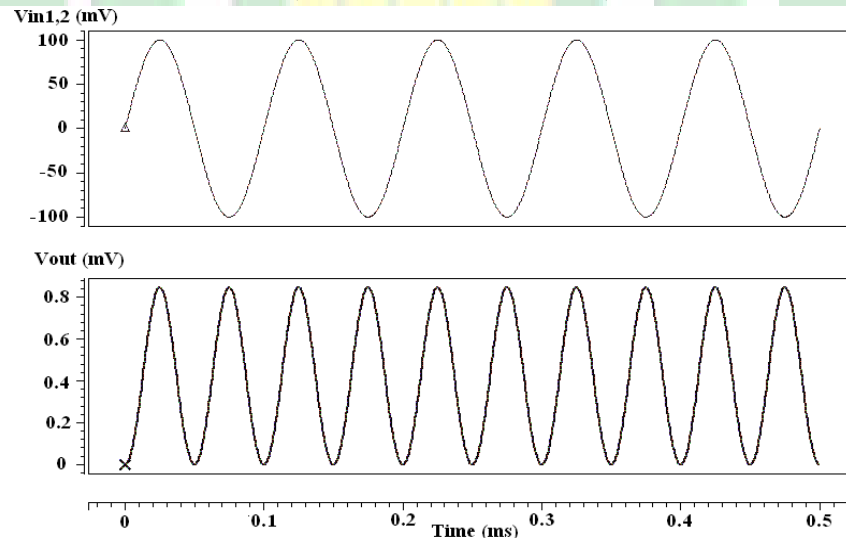


圖四 本論文所提出低電壓與低功率電壓乘法器之模擬結果(dc 轉移曲線)

模擬過程中使用的供應電壓為 1.5V，偏壓電壓 $V_b=0.6V$ ，偏壓電流 $I_b=0.1\mu A$ ；然而供應電壓與偏壓電壓 V_b 可藉由使用更先進的製程而降低。觀察圖四可知，當輸入電壓 V_{in1} 由 $-150mV$ 變化至 $150mV$ ，輸入電壓 V_{in2} 以每次遞增 $25mV$ 的方式由 $-150mV$ 增加至 $150mV$ ，相對的輸出線性誤差約為 3%。圖五與圖六所示為本電路之暫態響應。



圖五 本論文所提出低電壓與低功率電壓乘法器之模擬暫態響應(信號調變)，其中 V_{in1} 的頻率為 10kHz， V_{in2} 的頻率為 1kHz



圖六 本論文所提出低電壓與低功率電壓乘法器之模擬暫態響應(倍頻)，其中 V_{in1} 與 V_{in2} 的頻率均為 10kHz

進行頻率響應模擬時，使用的偏壓電壓 $V_b=0.6V$ ，輸入直流信號 $V_{in1}=V_{in2}=0.1V$ ，輸入小信號峰值為 $0.01V$ ；當負載電容值為 $10pF$ 時，所得之 3-dB 頻寬約為 268 kHz。在輸入信號頻率為 1kHz 的情況下，諧波失真(total harmonic distortion, THD)約為 1.64%；在全部模擬過程中，最大消耗功率為 $13\mu W$ 。綜上所述，模擬結果可證明式(12)推導之正確性。

肆、結論

在本論文中，我們介紹了一種利用 MOS 電晶體偏壓於弱反轉區設計低功率消耗與低供應電壓電壓模式乘法器的方法；經由檢視模擬結果，證明了本電路設計理論的正確性。未來工作的重點，除了完成電路佈局設計，並下線實作以外，電晶體非理想性所造成的誤差，亦應加以分析。本電路預計可應用於調變電路、倍頻器以及其他類比信號處理電路。

伍、誌謝

這篇論文是虎尾科技大學 94 學年度鼓勵性研究計劃 (TSC 036) 研究成果的一部份。我們在此感謝虎尾科技大學經費支持這個計劃的研究。

陸、參考文獻

- [1] Boonchu B., Surakamponorn W., “CMOS voltage-mode analog multiplier”, *Proceedings of 2006 IEEE International Symposium on Circuits and Systems*, pp.21 – 24, May, 2006.
- [2] Prommee P., Somdunayakanok M., Angkaew K., Jodtang A., Dejhan K., “Single low-supply and low-distortion CMOS analog multiplier”, *Proceedings of 2005 IEEE International Symposium on Communications and Information Technology*, Vol. 1, pp.251-254, Oct. 2005.
- [3] Abbott J., Plett C., and Rogers J.W.M, “A 1.2V CMOS multiplier for 10 Gbit/s equalization”, *Proceedings of the 31st European Solid-State Circuits Conference*, pp.379-382, Sep. 2005.
- [4] Boonchu B., Surakamponorn W., “A new NMOS four-quadrant analog multiplier”, *Proceedings of 2005 IEEE International Symposium on Circuits and Systems*, Vol. 2, pp.1004 – 1007, May, 2005.
- [5] Prommee P., Somdunayakanok M., Poorahong K., Phruksarojanakun P., Dejhan K., “CMOS wide-range four-quadrant analog multiplier circuit”, *Proceedings of 2005 International Symposium on Intelligent Signal Processing and Communication Systems*, pp.197 – 200, Dec., 2005.
- [6] Panovic M., Demosthenous A., “Compact CMOS linear transconductor and four-quadrant analogue multiplier”, *Proceedings of 2004 IEEE International Symposium on Circuits and Systems*, Vol. 1, pp. 685-688, May, 2004
- [7] Boonchu B., Surakamponorn W., “A four-quadrant analog multiplier using basic differential pair”, *Proceedings of 2004 IEEE Region 10 Conference*, Vol. 4, pp.290-293, Nov., 2004.
- [8] Chen C., Li Z., “A low-power CMOS analog multiplier”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 53, No. 2, pp. 100-104, Feb.,

2006.

- [9] Li Z., Chen C., “Low-power low-noise CMOS analogue multiplier”, *IEE Proceedings Circuits, Devices and Systems*, Vol. 153, No. 3, pp. 261 – 267, June 2006.
- [10] Kapanoglu B., Yildirim T., “Low power-four quadrant CMOS analog multiplier for artificial neural networks”, *Proceedings of the IEEE 12th Signal Processing and Communications Applications Conference*, pp. 137-139, April, 2004.
- [11] Ramirez-Angulo J., Carvajal R. G., Martinez-Heredia J., “1.4 V supply, wide swing, high frequency CMOS analogue multiplier with high current efficiency”, *Proceedings of 2000 IEEE International Symposium on Circuits and Systems*, Vol. 5, pp. 533-536, May, 2000.
- [12] Berg Y., Naess O., Hovin M., “Ultra low-voltage floating-gate analog multiplier with tunable linearity”, *Proceedings of 2000 IEEE International Symposium on Circuits and Systems*, Vol. 4, pp. 245-248, May, 2000.
- [13] Pesavento A., Koch C., “A wide linear range four quadrant multiplier in subthreshold CMOS”, *Proceedings of 1999 IEEE International Symposium on Circuits and Systems*, Vol. 2, pp. 240-243, May, 1999.
- [14] Chang C.; Liu S., “Weak inversion four-quadrant multiplier and two-quadrant divider”, *Electronics Letters*, Vol. 34, No. 22, pp. 2079 – 2080, 1998.
- [15] Coue D., Wilson G., “A four-quadrant subthreshold mode multiplier for analog neural-network applications”, *IEEE Tran. On Neural Networks*, Vol. 7, No. 5, pp. 1212 – 1219, 1996.
- [16] Song L., Elmasry M. I., A. Vannelli, “Analog neural network building blocks based on current mode subthreshold operation”, *Proceedings of 1993 IEEE International Symposium on Circuits and Systems*, Vol. 4, pp.2462 – 2465, May, 1993.
- [17] Vittoz E.A., “Micropower Techniques, in Design of MOS VLSI Circuits for Telecommunications”, edited by J. France and Y. Tsivids, Prentice Hall, 1994.
- [18] Pimentel J., Salazar F., Paheco M., and Gavriel Y., “Very-low-power analog cells in CMOS”, *Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems*, Vol. 1, pp. 328-331, Aug. 2000.